

10

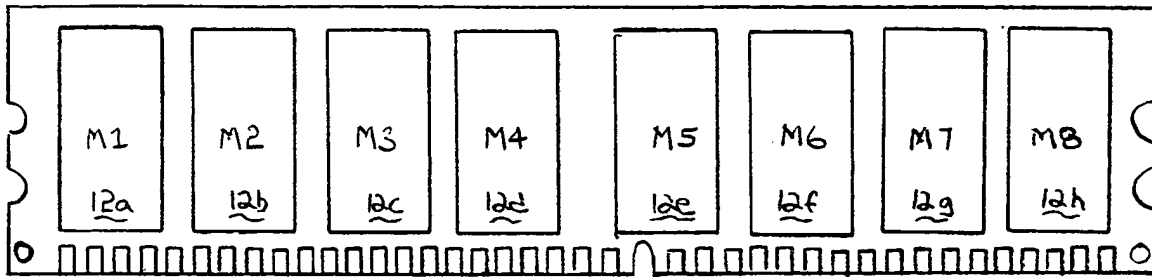


FIG. 1

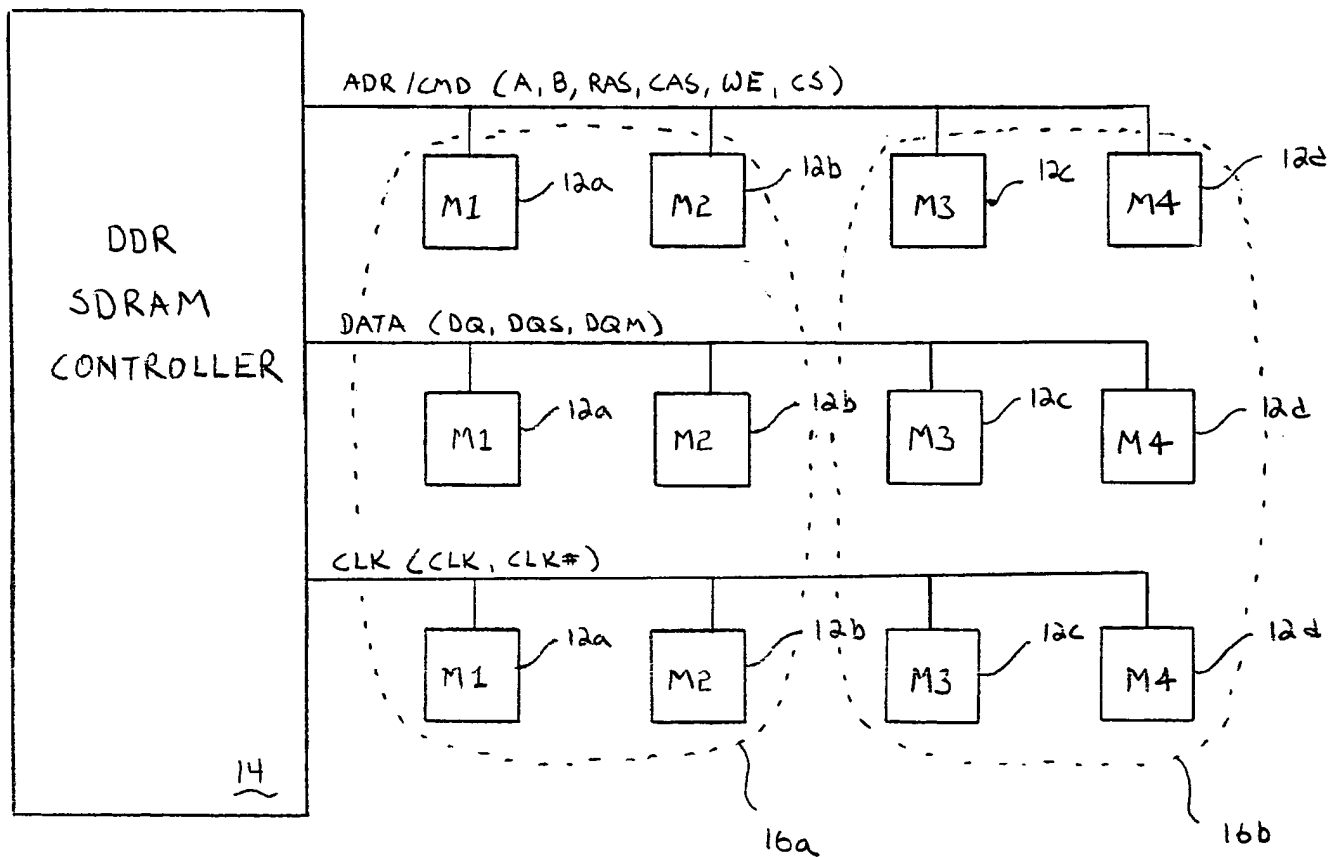


FIG. 2

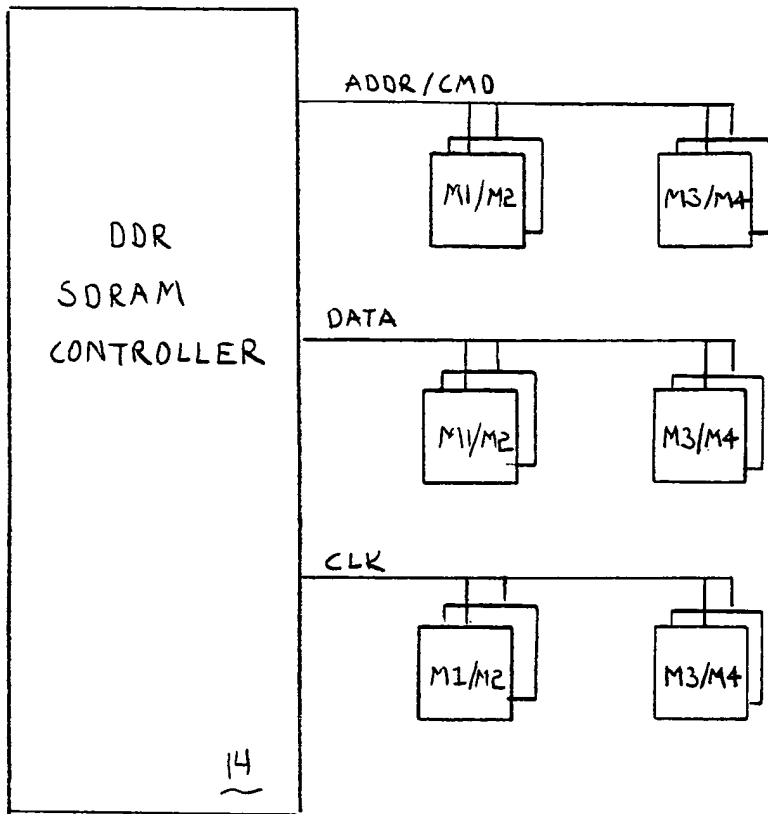


FIG. 3

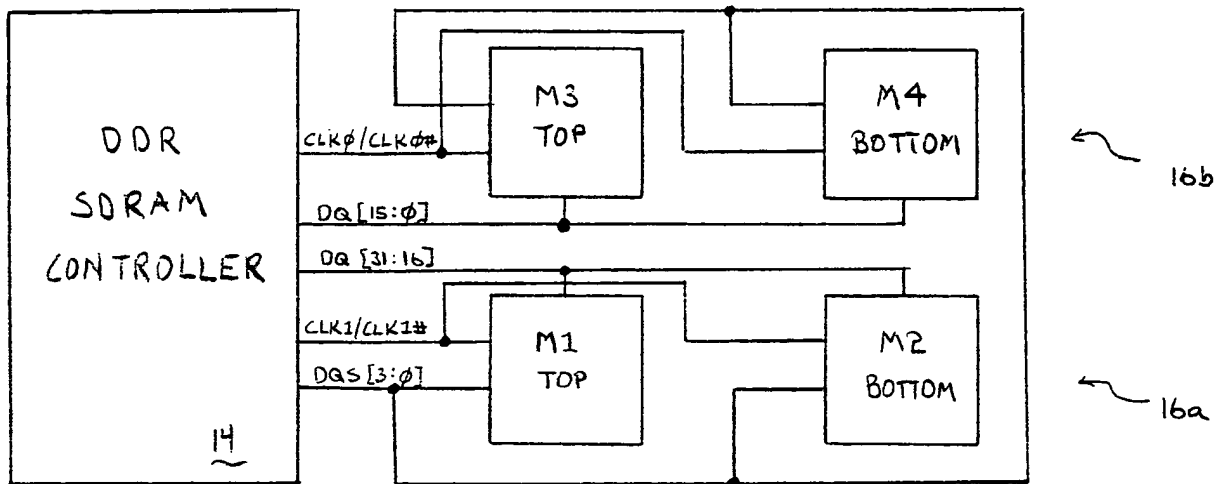


FIG. 4

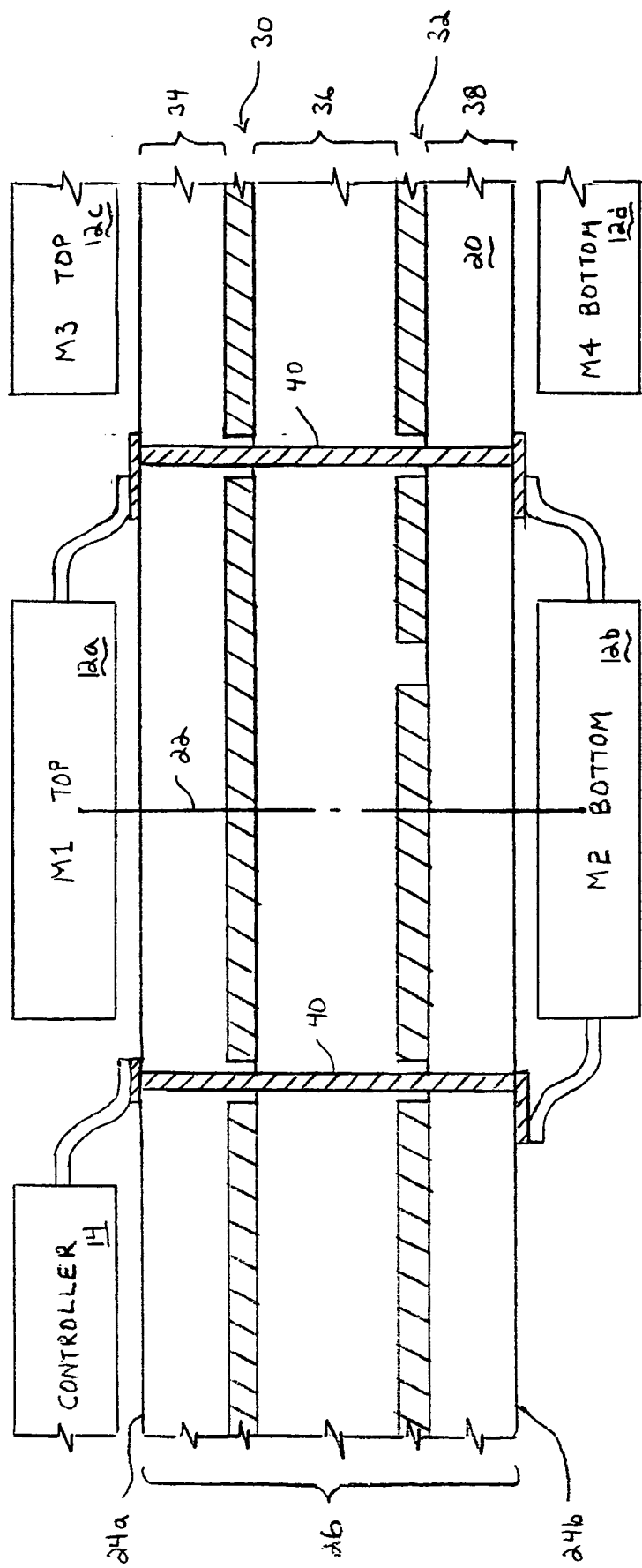


FIG. 5

SDRAM Controller Pin	M1 Top Pin	SDRAM Controller Pin	M1 Top Pin
SDRAM A0	A0	SDRAM DQ0	D0
SDRAM A1	A1	SDRAM DQ1	D1
SDRAM A2	A2	SDRAM DQ2	D2
SDRAM A3	A3	SDRAM DQ3	D3
SDRAM A4	A4	SDRAM DQ4	D4
SDRAM A5	A5	SDRAM DQ5	D5
SDRAM A6	A6	SDRAM DQ6	D6
SDRAM A7	A7	SDRAM DQ7	D7
SDRAM A8	A8	SDRAM DQ8	D8
SDRAM A9	A9	SDRAM DQ9	D9
SDRAM A10	A10	SDRAM DQ10	D10
SDRAM A11	A11	SDRAM DQ11	D11
SDRAM A12	A12	SDRAM DQ12	D12
SDRAM A13	A13	SDRAM DQ13	D13
SDRAM A14	BA0	SDRAM DQ14	D14
SDRAM A15	BA1	SDRAM DQ15	D15
SDRAM A16		SDRAM DQM0	LDM
SDRAM A17	CS#	SDRAM DQM1	UDM
SDRAM CAS L	CAS#	SDRAM DQM2	
SDRAM RAS L	RAS#	SDRAM DQM3	
SDRAM CKE	CKE	SDRAM DQS0	LDQS
SDRAM WE L	WE#	SDRAM DQS1	UDQS
SDRAM CLK0		SDRAM DQS2	
SDRAM CLK1	CLK	SDRAM DQS3	
SDRAM CLK L0			
SDRAM CLK L1	CLK#		

SDRAM Controller Pin	M3 Top Pin	SDRAM Controller Pin	M3 Top Pin
SDRAM A0	A0	SDRAM DQ0	D0
SDRAM A1	A1	SDRAM DQ1	D1
SDRAM A2	A2	SDRAM DQ2	D2
SDRAM A3	A3	SDRAM DQ3	D3
SDRAM A4	A4	SDRAM DQ4	D4
SDRAM A5	A5	SDRAM DQ5	D5
SDRAM A6	A6	SDRAM DQ6	D6
SDRAM A7	A7	SDRAM DQ7	D7
SDRAM A8	A8	SDRAM DQ8	D8
SDRAM A9	A9	SDRAM DQ9	D9
SDRAM A10	A10	SDRAM DQ10	D10
SDRAM A11	A11	SDRAM DQ11	D11
SDRAM A12	A12	SDRAM DQ12	D12
SDRAM A13	A13	SDRAM DQ13	D13
SDRAM A14	BA0	SDRAM DQ14	D14
SDRAM A15	BA1	SDRAM DQ15	D15
SDRAM A16		SDRAM DQM0	
SDRAM A17	CS#	SDRAM DQM1	
SDRAM CAS L	CAS#	SDRAM DQM2	LDM
SDRAM RAS L	RAS#	SDRAM DQM3	UDM
SDRAM CKE	CKE	SDRAM DQS0	
SDRAM WE L	WE#	SDRAM DQS1	
SDRAM CLK0	CLK	SDRAM DQS2	LDQS
SDRAM CLK1		SDRAM DQS3	UDQS
SDRAM CLK L0	CLK#		
SDRAM CLK L1			

FIG. 6

SDRAM Controller Pin	M2 Bottom Pin	SDRAM Controller Pin	M2 Bottom Pin
SDRAM A0	A0	SDRAM DQ0	D15
SDRAM A1	A1	SDRAM DQ1	D14
SDRAM A2	A2	SDRAM DQ2	D13
SDRAM A3	A3	SDRAM DQ3	D12
SDRAM A4	A4	SDRAM DQ4	D11
SDRAM A5	A5	SDRAM DQ5	D10
SDRAM A6	A6	SDRAM DQ6	D9
SDRAM A7	A7	SDRAM DQ7	D8
SDRAM A8	A8	SDRAM DQ8	D7
SDRAM A9	A9	SDRAM DQ9	D6
SDRAM A10	A10	SDRAM DQ10	D5
SDRAM A11	A11	SDRAM DQ11	D4
SDRAM A12	A12	SDRAM DQ12	D3
SDRAM A13	A13	SDRAM DQ13	D2
SDRAM A14	BA0	SDRAM DQ14	D1
SDRAM A15	BA1	SDRAM DQ15	D0
SDRAM A16	CS#	SDRAM DQM0	UDM
SDRAM A17		SDRAM DQM1	LDM
SDRAM CAS L	CAS#	SDRAM DQM2	
SDRAM RAS L	RAS#	SDRAM DQM3	
SDRAM CKE	CKE	SDRAM DQS0	UDQS
SDRAM WE L	WE#	SDRAM DQS1	LDQS
SDRAM CLK0		SDRAM DQS2	
SDRAM CLK1	CLK	SDRAM DQS3	
SDRAM CLK L0			
SDRAM CLK L1	CLK#		

SDRAM Controller Pin	M4 Bottom Pin	SDRAM Controller Pin	M4 Bottom Pin
SDRAM A0	A0	SDRAM DQ0	D15
SDRAM A1	A1	SDRAM DQ1	D14
SDRAM A2	A2	SDRAM DQ2	D13
SDRAM A3	A3	SDRAM DQ3	D12
SDRAM A4	A4	SDRAM DQ4	D11
SDRAM A5	A5	SDRAM DQ5	D10
SDRAM A6	A6	SDRAM DQ6	D9
SDRAM A7	A7	SDRAM DQ7	D8
SDRAM A8	A8	SDRAM DQ8	D7
SDRAM A9	A9	SDRAM DQ9	D6
SDRAM A10	A10	SDRAM DQ10	D5
SDRAM A11	A11	SDRAM DQ11	D4
SDRAM A12	A12	SDRAM DQ12	D3
SDRAM A13	A13	SDRAM DQ13	D2
SDRAM A14	BA0	SDRAM DQ14	D1
SDRAM A15	BA1	SDRAM DQ15	D0
SDRAM A16	CS#	SDRAM DQM0	
SDRAM A17		SDRAM DQM1	
SDRAM CAS L	CAS#	SDRAM DQM2	UDM
SDRAM RAS L	RAS#	SDRAM DQM3	LDM
SDRAM CKE	CKE	SDRAM DQS0	
SDRAM WE L	WE#	SDRAM DQS1	
SDRAM CLK0	CLK	SDRAM DQS2	UDQS
SDRAM CLK1		SDRAM DQS3	LDQS
SDRAM CLK L0	CLK#		
SDRAM CLK L1			

FIG. 7

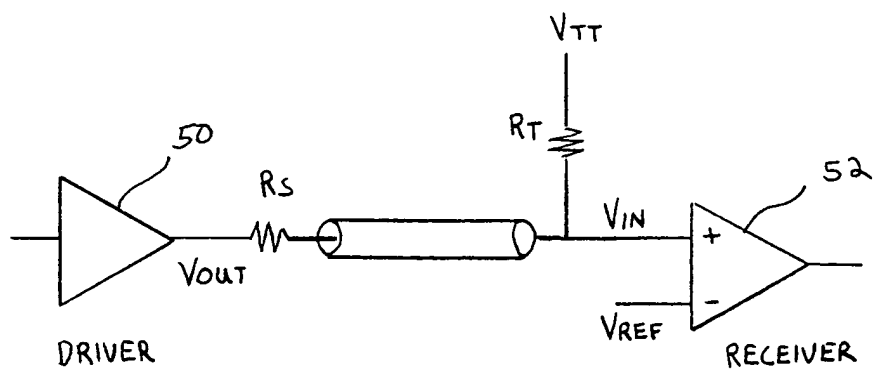


FIG. 8